

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-017710

(43)Date of publication of application : 22.01.1999

(51)Int.Cl.

H04L 12/40

H04L 29/10

(21)Application number : 09-164810

(71)Applicant : SONY CORP

(22)Date of filing : 20.06.1997

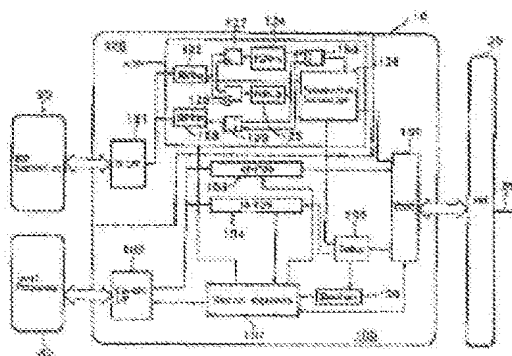
(72)Inventor : NAKAMURA RYUTA

(54) SERIAL INTERFACE CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a serial interface circuit with which the data of a large capacitance can be transmitted/received while being made into packet matched with a prescribed standard and smooth transmission/reception processing is enabled in high efficiency in use.

SOLUTION: A transaction layer circuit 120 is provided with a 1st FIFO 124 having a large storage capacitance and a 2nd FIFO 125 having a small storage capacitance, and at the same time, selectors 127-130 are provided for storing the packet of a large capacitance containing data in the 1st FIFO 124 at the time of transmission (write) operation and reception (read) operation, storing the packet of a small capacitance containing no data in the 2nd FIFO 125 and reading them. Thus, when transmitting/receiving the data of a large capacitance, the FIFO



can be efficiently used.

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平11-17710

(43)公開日 平成11年(1999) 1月22日

(51)Int.Cl.⁶

識別記号

F I

H 0 4 L 12/40

H 0 4 L 11/00

3 2 0

29/10

13/00

3 0 9 Z

審査請求 未請求 請求項の数 5 O L (全 11 頁)

(21)出願番号

特願平9-164810

(22)出願日

平成9年(1997) 6月20日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川 6 丁目 7 番35号

(72)発明者 中村 龍太

東京都品川区北品川 6 丁目 7 番35号 ソニ

ー株式会社内

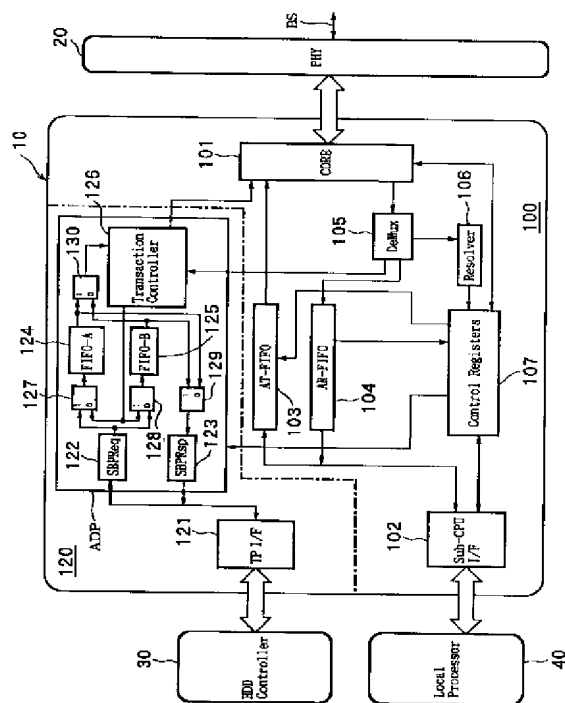
(74)代理人 弁理士 佐藤 隆久

(54)【発明の名称】 シリアルインタフェース回路

(57)【要約】

【課題】大容量のデータを所定の規格に合わせてたパケットにして送受信することができ、また、円滑な送受信処理を使用効率良く行うことができるシリアルインタフェース回路を提供する。

【解決手段】トランザクション・レイヤ回路120に記憶容量の大きい第1FIFO124および記憶容量の小さい第2FIFO125を設けるとともに、送信(書き込み)動作および受信(読み出し)動作時に、データを含む容量の大きいパケットを第1FIFO124に格納させ、データを含まない容量の小さいパケットを第2FIFO125に格納させ、かつ読み出すセクタ127~130を設ける。これにより、大容量データの送受信時にFIFOを効率良く使用することができる。



【特許請求の範囲】

【請求項1】 自ノードとシリアルインタフェースバスを介して接続された他ノード間でアシンクロナスパケットの送受信を行うシリアルインタフェース回路であって、

第1の記憶手段と、

記憶容量が上記第1の記憶手段により小さい第2の記憶手段と、

読み出したデータに自己指定のラベルを付加して送信パケットを生成し、他ノードのデータを自ノードへ転送する場合に、自己指定のラベルを付加した要求パケットを生成する送信パケット生成回路と、

読み出しデータを他ノードへ転送する場合には、上記送信パケット生成回路で生成されたデータを含む送信パケットを上記第1の記憶手段に記憶させ、他ノードのデータを自ノードへ転送する場合には、上記送信パケット生成回路で生成された要求パケットを上記第2の記憶手段に記憶させ、他ノードからの要求パケットに対する応答パケットを受信したときに、応答パケットの少なくともデータ部を上記第1の記憶手段に記憶させる選択手段と、

上記第1の記憶手段に記憶されたデータを含む送信パケットまたは上記第2の記憶手段に記憶された要求パケットを上記シリアルインタフェースバスに送出する第1のデータ転送回路と、

上記第1の記憶手段に記憶された応答パケットのデータを転送する第2のデータ転送回路とを有するシリアルインタフェース回路。

【請求項2】 他ノードからの制御パケットを受け、当該制御パケットの内容に応じて、上記選択手段に上記データおよび要求パケットの記憶先を指示する制御回路を有する請求項1記載のシリアルインタフェース回路。

【請求項3】 送信パケット生成回路は、読み出しデータを複数のデータに分割し、分割したデータ毎に上記ラベルを付加し、他ノードのデータを自ノードへ転送する場合にはデータをパケット化して転送できるように、ラベルを指定した複数の要求パケットを生成して上記シリアルインタフェースバスに送出する請求項1記載のシリアルインタフェース回路。

【請求項4】 上記第1のデータ転送回路は、上記他ノードからの送信パケットに対する応答パケットを受信し、正常な場合に次の送信パケットを上記シリアルインタフェースバスに送出する請求項3記載のシリアルインタフェース回路。

【請求項5】 上記第1および第2の記憶手段は、FIFOメモリからなる請求項1記載のシリアルインタフェース回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、デジタルシリア

ルインタフェース回路に係り、特にHDD(Hard Disk Drive)、DVD(Digital Video Disk)-ROM、CD(Compact Disk)-ROM、テープストリーマ(Tape Streamer)等のストレージ装置に接続するシリアルインタフェース回路およびその信号処理方法に関するものである。

【0002】

【従来の技術】近年、マルチメディア・データ転送のためのインタフェースとして、高速データ転送、リアルタイム転送を実現するIEEE(The Institute of Electrical and Electronic Engineers)1394、High Performance Serial Busが規格化された。

【0003】このIEEE1394シリアルインタフェースのデータ転送においては、ネットワーク内で行われる転送動作をサブアクションと呼び、2つのサブアクションが規定されている。一つは、従来のRequest, Acknowledgeの要求、受信確認を行うアシンクロナス(Asynchronous)転送であり、他の一つはあるノードから125 μ sに1回必ずデータが送られるアイソクロナス(Isochronous)転送である。

【0004】このように、2つの転送モードを有するIEEE1394シリアルインタフェースでのデータは、パケット単位で転送が行われるが、IEEE1394規格では、取り扱う最小データの単位は1クワドレット(quadlet)(=4バイト=32ビット)である。

【0005】IEEE1394規格では、通常、コンピュータデータは、図5に示すように、アシンクロナス転送を用いて行われる。アシンクロナス転送は、図5

(a)に示すように、バスを獲得するためのアービトレーション(arb)、データを転送するパケットトランスミッション、およびアクノリッジメント(ack)の3つの遷移状態をとる。

【0006】そして、パケットトランスミッションの実行は、図5(b)に示すようなフォーマットで行われる。転送パケットの第1クワドレットは、16ビットのデスティネーションID(destination ID)領域、6ビットのトランザクション・ラベルt l(transaction label)領域、2ビットのリトライ・コードr t(retry code)領域、4ビットのトランザクション・コードt c o d e(transaction code)領域、および4ビットのプライオリティp r i(priority)領域から構成されている。デスティネーションID領域はこのノードのバスナンバーとノードナンバー、プライオリティ領域は優先レベルを示す。

【0007】第2クワドレットおよび第3クワドレットは、16ビットのソースID(source ID)領域、および48ビットのデスティネーション・オフセット(destination offset)領域により構成されている。ソースID領域はこのパケットを送ったノードIDを示し、デスティ

ネーション オフセット領域はハイ(High)およびロー(Low)の連続した領域からなり、デスティネーション・ノードのアドレス空間のアドレスを示す。

【0008】第4クワドレットは、16ビットのデータ長(data length) 領域、および16ビットのイクステンディッド・トランザクション・コード(extended tcode)領域に構成されている。データ長領域は受信したパケットのバイト数を示し、イクステンディッド tcode領域はtcodeがロック・トランザクション(Lock transaction)の場合、このパケットのデータが行う実際のロック動作(Lock Action)を示す領域である。

【0009】データフィールド領域(data field)の前のクワドレットに付加されたヘッダCRC (header CRC) 領域は、パケットヘッダの誤り検出符号である。また、データ領域(data field)の後のクワドレットに付加されたデータCRC (data CRC) 領域は、データフィールドの誤り検出符号である。

【0010】

【発明が解決しようとする課題】ところで、上述したように、アシンクロナス転送で行われる通常のコンピュータデータの転送では、そのプロトコルとして、SBP-2 (Serial Bus Protocol-2) が用いられる。このプロトコルによると、ストレージデバイス(Storage Device)であるターゲット(Target)からホストコンピュータ(Host Computer)であるイニシエータ(Initiator)にデータを転送するときは、ストレージデバイスからホストコンピュータのメモリへデータを書き込む形で、またホストコンピュータからターゲットにデータを転送するときは、ストレージデバイスがホストコンピュータのメモリのデータを読み出す形で転送が行われる。

【0011】しかしながら、ストレージデバイスに格納される、あるいはストレージデバイスから読み出される大容量のデータをIEEE1394規格のパケットにして、送受信するための、いわゆるトランザクション・レイヤ(Transaction Layer)をコントロールする処理系回路システムが未だ確立されていない。また、LSIを構成する上でも使用効率の良い回路システムを実現することも必要である。

【0012】本発明は、かかる事情に鑑みてなされたものであり、その目的は、大容量のデータを所定の規格に合わせてパケットにして送受信することができ、また、円滑な送受信処理を使用効率良く行うことができるシリアルインタフェース回路を提供することにある。

【0013】

【課題を解決するための手段】上記目的を達成するため、本発明は、自ノードとシリアルインタフェースバスを介して接続された他ノード間でアシンクロナスパケットの送受信を行うシリアルインタフェース回路であって、第1の記憶手段と、記憶容量が上記第1の記憶手段により小さい第2の記憶手段と、読み出したデータに自

己指定のラベルを付加して送信パケットを生成し、他ノードのデータを自ノードへ転送する場合に、自己指定のラベルを付加した要求パケットを生成する送信パケット生成回路と、読み出しデータを他ノードへ転送する場合には、上記送信パケット生成回路で生成されたデータを含む送信パケットを上記第1の記憶手段に記憶させ、他ノードのデータを自ノードへ転送する場合には、上記送信パケット生成回路で生成された要求パケットを上記第2の記憶手段に記憶させ、他ノードからの要求パケットに対する応答パケットを受信したときに、応答パケットの少なくともデータ部を上記第1の記憶手段に記憶させる選択手段と、上記第1の記憶手段に記憶されたデータを含む送信パケットまたは上記第2の記憶手段に記憶された要求パケットを上記シリアルインタフェースバスに送出する第1のデータ転送回路と、上記第1の記憶手段に記憶された応答パケットのデータを転送する第2のデータ転送回路とを有する。

【0014】また、本発明では、他ノードからの制御パケットを受け、当該制御パケットの内容に応じて、上記選択手段に上記データおよび要求パケットの記憶先を指示する制御回路を有する。

【0015】また、本発明では、送信パケット生成回路は、読み出しデータを複数のデータに分割し、分割したデータ毎に上記ラベルを付加し、他ノードのデータを自ノードへ転送する場合にはデータをパケット化して転送できるように、ラベルを指定した複数の要求パケットを生成して上記シリアルインタフェースバスに送出する。

【0016】また、上記第1のデータ転送回路は、上記他ノードからの送信パケットに対する応答パケットを受信し、正常な場合に次の送信パケットを上記シリアルインタフェースバスに送出する。

【0017】本発明の回路によれば、たとえば自ノードから他ノードへのストレージデバイスのデータ他ノードへの転送要求の場合には、送信パケット生成回路によりストレージデバイスのデータが読み出される。次いで読み出したデータに自己指定のラベルが付加され、選択手段により記憶容量の大きい第1の記憶手段に格納される。そして、第1のデータ転送回路により第1の記憶手段に記憶されたデータを含む送信パケットがシリアルインタフェースバスに送出される。

【0018】また、他ノードから自ノードへデータを転送する場合には、送信パケット生成回路により要求パケットが生成されて、記憶容量の小さい第2の記憶手段に格納される。そして、第1のデータ転送回路により第2の記憶手段に格納された要求パケットがシリアルインタフェースバスに送出される。この要求パケットに対する応答パケットがシリアルインタフェースバスから送られてくると、選択手段により応答パケットの少なくともデータ部が記憶容量の大きい第1の記憶手段に格納される。そして、第2のデータ転送回路により第1の記憶手

段に格納された応答パケットのデータがストレージデバイスに転送される。

【0019】また、他ノードからの制御パケットが制御回路に入力されると、当該制御パケットの内容に応じて、制御回路から選択手段に対して、送信データまたは受信データを記憶容量の大きい第1の記憶手段に格納し、要求パケットを記憶容量の小さい第2の記憶手段に格納するように指示される。

【0020】また、送信パケット生成回路においては、読み出しデータが複数のデータに分割されて、分割したデータ毎にラベルが付加される。また、他ノードのデータを自ノードへ転送する場合には、データをパケット化して転送できるように、ラベルを指定した複数の要求パケットが生成される。これらの場合、第1のデータ転送回路では、他ノードからの送信パケットに対する応答パケットを受信して正常な場合に、第1の記憶手段に格納された次のデータを含む送信パケットまたは次の要求パケットがシリアルインタフェースバスに送出される。

【0021】

【発明の実施の形態】図1は、本発明に係るIEEE1394シリアルインタフェース回路の一実施形態を示すブロック構成図である。なお、このシリアルインタフェース回路は、アシンクロナス通信で扱われるコンピュータデータの転送を行うことを目的として構成されている。このため、図1においては、アイソクロナス通信系回路の具体的な構成は図示していない。

【0022】このシリアルインタフェース回路は、リンク／トランザクション・レイヤ集積回路10、フィジカル・レイヤ回路20、ストレージデバイスとしての図示しないハードディスクドライバ(HDD)のコントローラ30、ホストコンピュータとしてのローカルプロセッサ40により構成されている。

【0023】リンク／トランザクション・レイヤ集積回路10は、リンク・レイヤ回路100およびトランザクション・レイヤ回路120が集積化されて構成され、ローカルプロセッサ40の制御の下、アシンクロナス転送の制御、並びにフィジカル・レイヤ回路20の制御を行う。

【0024】リンク・レイヤ回路100は、図1に示すように、リンクコア(Link Core)101、CPUインタフェース回路(Sub-CPU I/F)102、アシンクロナス通信で用いられる送信用FIFO(AT-FIFO:First-In First-Out)103、受信用FIFO(AR-FIFO)104、受信パケットを判別する分別回路(DeMux)105、セルフID用リゾルバ(Resolver)106、およびコントロールレジスタ(Control Registers、以下CRという)107により構成されている。

【0025】リンクコア101は、コマンドやコンピュータデータが転送されるアシンクロナス通信用パケットおよびアイソクロナス通信用パケットの送信回路、受信

回路、これらパケットのIEEE1394シリアルバスBSを直接ドライブするフィジカル・レイヤ回路20とのインタフェース回路、125 μ s毎にリセットされるサイクルタイマ、サイクルモニタやCRC回路から構成されている。また、図示しないハードディスクから読み出され、トランザクション・レイヤ回路120で所定の送信パケットとして生成されたコンピュータデータの送信処理等を行う。なお、図1では、上述したように、アイソクロナス通信系のFIFO等は省略している。

【0026】CPUインタフェース回路102は、ローカルプロセッサ40と送信用FIFO103、受信用FIFO104とのアシンクロナス通信用パケットの書き込み、読み出し等の調停、並びに、ローカルプロセッサ40とCR107との各種データの送受信の調停を行う。たとえば、イニシエータとしてのホストコンピュータからIEEE1394インタフェースバスBSを送信され、受信用FIFOに格納されたストレージデバイスとしてのハードディスクのコントロール用コマンドをローカルプロセッサ40に伝送する。そして、ローカルプロセッサ40からは、コンピュータデータを送受信するためにトランザクション・レイヤ回路120を起動させるためのデータがCPUインタフェース102を通してCR107にセットされる。

【0027】さらに、ローカルプロセッサ40からは、後述するようにトランザクション・レイヤ回路120における動作モード、具体的には自ノードから他ノードへハードディスクのデータを転送する書き込み(送信)動作および他ノードから自ノードへデータを転送する読み出し(受信)動作に応じて記憶容量の異なるFIFOを切り換える制御のために用いられるデータビット(ディレクション・ビット; direction bit、以下dビットという)がCPUインタフェース102を通してCR107にセットされる。たとえば書き込み(送信)動作のときはdビットは「1」にセットされ、読み出し(受信)動作のときは「0」にセットされる。

【0028】送信用FIFO103には、IEEE1394シリアルバスBSに伝送させるアシンクロナス通信用パケットが格納され、格納データはリンクコア101に与えられる。

【0029】また、受信用FIFO104は、IEEE1394シリアルバスBSを伝送されてきたアシンクロナス通信用パケット、たとえばストレージデバイスとしてのハードディスクのコントロール用コマンド等が、分別回路105により格納される。

【0030】分別回路105は、リンクコア101を介したアシンクロナス通信用パケットの第1クワドレッドにあるトランザクションコードとcode(Transaction code)およびトランザクションラベルとlabel(Transaction label)をチェックし、イニシエータであるホストコンピュータからターゲットであるトランザクション・レイ

や回路に対しての応答パケット(Response Packet)であるかその他のパケットであるかの分別を行い、応答パケットのみをトランザクション・レイヤ回路120に入力させ、その他のパケットを受信用FIFO104に格納する。

【0031】なお、分別のチェックに用いられるトランザクションラベル $t1$ は共通に「a」にセットされ、 $tcode$ (Transaction code)は、書き込み(Write)の要求(request)および応答(Response)、読み出し(Read)の要求(Read request)および応答(Read Response)で異なるデータがセットされる。具体的には、 $tcode$ は、書き込み要求(Write request)でクワドレット書き込み(Quadlet Write)の場合には「0」、ブロック書き込み(Block Write)の場合には「1」にセットされる。また、書き込み応答(Write Response)の場合には「2」にセットされる。読み出し要求(Read request)でクワドレット読み出し(Quadlet Read)の場合には「4」、ブロック読み出し(Block Read)の場合には「5」にセットされる。また、読み出し応答(Read Response)の場合には「6/7」にセットされる。

【0032】リゾルバ106は、IEEE1394シリアルインタフェースバスBSを伝送されてきたセルフIDパケットを解析し、CR107に格納する。また、エラーチェック、ノード数のカウント等の機能も有する。

【0033】トランザクション・レイヤ回路120は、コンピュータ周辺機器(本実施形態ではハードディスク)のデータをSBP-2(Serial Bus Protocol-2)規格に基づいて、アシンクロナスパケットとして自動的に送信、受信をする機能を備えている。また、トランザクション・レイヤ回路120は、リトライ(Retry)機能並びにスプリットタイムアウト(Split Timeout)検出機能を備えている。リトライ機能は、要求パケットを送信した後、ack busy*のAckコードが返ってきた場合、該当する要求パケットを再送信する機能である。パケットを再送信する場合、送信パケットの第1クワドレッドにある2ビットの $r1$ 領域を「00」から「01」にセットしてから送信する。スプリットタイムアウト(Split Timeout)検出機能は、応答パケットが返ってくるまでのタイムアウトを検出する機能である。

【0034】このトランザクション・レイヤ回路120は、トランスポートデータインタフェース回路121、要求パケット生成回路(SBPreq)122、応答パケットデコード回路(SBPrsp)123、第1FIFO(FIFO-A)124、第2FIFO(FIFO-B)125、トランザクションコントローラ126、およびセクタ127~130により構成されている。そして、要求パケット生成回路122、応答パケットデコード回路123、第1FIFO124、第2FIFO125、トランザクションコントローラ126およびセクタ127~130によりデータ処理回路ADPが構成される。

【0035】トランスポートデータインタフェース回路121は、HDDコントローラ30と要求パケット生成回路122、応答パケットデコード回路123とのデータの送受信の調停を行う。

【0036】要求パケット生成回路122は、リンク・レイヤ回路100のCR107からデータ転送起動の指示を受けると、送信(書き込み)の場合、SBP-2規格に従ってトランスポートデータインタフェース回路121を介して得た図示しないハードディスクに記録されたコンピュータデータをパケットに分けられるように1個以上のデータに分け、トランザクションラベル $t1$ (=a)等を指定した1394ヘッダを付加してセクタ127、128に出力する。また、受信(読み出し)の場合には、SBP-2規格に従って、指定されたアドレス、データ長分の1394ブロック読み出し要求コマンド(Block read Request Command)を1個以上のトランザクションラベル $t1$ (=a)等を指定し、パケット化してセクタ127、128に出力する。

【0037】応答パケットデコード回路123は、受信時に第1FIFO124に格納された応答パケットを読み出し、読み出しパケットから1394ヘッダを取り除き、データは所定のタイミングでトランスポートデータインタフェース回路121を介してHDDコントローラ30に出力する。

【0038】第1FIFO124は、その記憶容量がたとえば2kBに設定されており、セクタ127を通して、送信(書き込み)の場合、パケット化された送信データが格納され、受信(読み出し)の場合には、ホストコンピュータ側から1394シリアルバスBSを伝送されてきた受信データが格納される。

【0039】第2FIFO125は、その容量が第1FIFO124の記憶容量より小さく容量、たとえば48バイトに設定されており、受信(読み出し)の場合には、セクタ128を通して、1394ブロック読み出し要求コマンドが格納される。なお、送信(書き込み)の場合には、第2FIFO125は使用されない。すなわち、データを含まない応答パケットはトランザクションコントローラ126によって格納されない。ただし、このデータを含まない応答パケットを第2FIFO125に格納するように構成することも可能であることはいうまでもない。

【0040】トランザクションコントローラ126は、送信時に第1FIFO124に格納されたパケット化された送信データ、および受信時に第2FIFO125に格納された1394ブロック読み出し要求コマンドをセクタ130を通して読み出し、リンク・レイヤコア回路100のリンクコア101への出力制御を行う。また、送信時に、リンク・レイヤ回路100の分別回路105からの応答パケットを受けて、そのリトライコード $r1$ をCR107に書き込み、受信時には分別回

路105からの応答パケットから1394ヘッダを取り除き、パケットデータをセクタ127を通して第1FIFO124に格納する。

【0041】セクタ127～130は、「0」および「1」の2入力端子（以下、0端子および1端子と称し、図1中においても「0」、「1」で表記してある）を有しており、コントロールレジスタ（CR）107の設定データによりトランザクション・レイヤ回路120が起動されたときに、CR107に設定されたdビットの値に応じて0端子または1端子への入力のいずれかを選択して出力する。具体的には、dビットが「1」である書き込み（送信）動作のときは1端子への入力を選択し、dビットが「0」である読み出し（受信）動作のときは0端子への入力を選択する。

【0042】セクタ127の1端子が要求パケット生成回路122の出力端子に接続され、0端子がトランザクションコントローラ126の応答系のFIFO側への出力端子に接続され、出力端子が第1FIFO124の入力端子に接続されている。セクタ128の0端子が要求パケット生成回路122の出力端子に接続され、1端子がトランザクションコントローラ126の応答系のFIFO側への出力端子に接続され、出力端子が第2FIFO125の入力端子に接続されている。セクタ129の0端子が第1FIFO124の出力端子に接続され、1端子が第2FIFO125の出力端子に接続され、出力端子が応答パケットデコード回路123の入力端子に接続されている。セクタ130の1端子が第1FIFO124の出力端子に接続され、0端子が第2FIFO125の出力端子に接続され、出力端子がトランザクションコントローラ126の要求系入力端子に接続されている。

【0043】図2に、送信動作時および受信動作時におけるトランザクション・レイヤ回路120におけるセクタによるFIFOと送信パケット生成回路122、応答パケットデコード回路123、およびトランザクションコントローラ126との接続形態を示す。図2において、(a)が送信動作時の接続形態を、(b)が受信動作時の接続形態を示している。

【0044】次に、上記構成において、SBP-2規格で決められたパケットを転送する場合のコンピュータデータの送信および受信動作を説明する。

【0045】まず、送信動作、すなわち、ターゲットであるハードディスクからイニシエータであるホストコンピュータにデータを転送するときであって、ストレージデバイス（ハードディスク）からホストコンピュータのメモリヘデータを書き込む動作を行う場合について説明する。

【0046】ホストコンピュータから1394シリアルバスBSを転送されてきたSBP-2規格に基づいたORB (Operation Request Block) 等のパケットデータが

フィジカル・レイヤ回路20、リンク・レイヤ回路100のリンクコア101を介して分別回路105に入力される。

【0047】分別回路105では、受信パケットを受けてホストコンピュータからターゲットであるトランザクション・レイヤ回路に対しての応答パケット (Response Packet) であるかその他のパケットであるかの分別が行われる。そしてこの場合、その他のパケットであることから受信データが受信用FIFO104に格納される。受信用FIFO104に格納されたORB等の受信データは、CPUインタフェース回路102を介してローカルプロセッサ40に入力される。ローカルプロセッサ40では、CPUインタフェース回路102を介してORBの内容に従ってCR107のトランザクション・レイヤ回路用レジスタの初期化が行われる。また、この初期化と並行して、ローカルプロセッサ40からは、トランザクション・レイヤ回路120における送信動作および受信動作に応じて記憶容量の異なるFIFOを切り換える制御のためのdビットが「1」にセットされる。

【0048】これにより、トランザクション・レイヤ回路120が起動され、また、セクタ127～130では1端子への入力を選択されるようになる。すなわち、図2(a)に示すように、要求パケット生成回路122の出力パケットは記憶容量の大きい第1FIFO124に格納され、第1FIFO124の格納データがトランザクションコントローラ126に入力されるようになる。

【0049】起動されたトランザクション・レイヤ回路120では、要求パケット生成回路122において、トランスポートインタフェース121を介してHDDコントローラ30に対してのデータの要求が始められる。要求に応じ、トランスポートインタフェース121を介して送られたきた送信データは、要求パケット生成回路122においてSBP-2規格に従ってパケットに分けられるように1個以上のデータに分けられ、トランザクションラベル1 (=a) 等が指定された1394ヘッダが付加されて自動的にセクタ127を通して第1FIFO124に格納される。

【0050】第1FIFO124に1つの1394パケットサイズ以上のデータが格納されると、そのデータはトランザクションコントローラ126によりリンク・レイヤ回路100のリンクコア101に送られる。そして、リンクコア101によって、フィジカル・レイヤ回路20を介して1394シリアルバスBSに対しアービトレーションが掛けられる。これにより、バスの獲得ができたならば、転送データを含む書き込み要求パケット (Write Request Packet) がフィジカル・レイヤ回路20、1394シリアルバスBSを介してホストコンピュータに送信される。

【0051】送信後、ホストコンピュータから書き込み

要求パケットに対するAckコードと、場合によっては書き込み応答パケット(Write Response Packet)が送られてきて、フィジカル・レイヤ回路20、リンク・レイヤ回路100のリンクコア101を介して分別回路105に入力される。

【0052】分別回路105では、受信パケットのトランザクションコードcodeおよびトランザクションラベル1のチェックが行われ、ホストコンピュータからターゲットであるトランザクション・レイヤ回路120に対しての応答パケット(Response Packet)であると判別されると、その応答パケットがトランザクション・レイヤ回路120のトランザクションコントローラ126に入力される。

【0053】トランザクションコントローラ126では、入力された応答パケットのAckコードと応答コード(Response code)が正常ならば次のデータのリンクコア101への送出が行われる。以上の動作が繰り返されて、コンピュータデータのホストコンピュータのメモリへの書き込み(送信)動作が行われる。

【0054】以上の送信に関するトランザクション・レイヤ回路120の動作の概略を図3に示す。

【0055】次に、受信動作、すなわち、ホストコンピュータからターゲットにデータを転送するときであって、ストレージデバイス(ハードディスク)がホストコンピュータのメモリのデータを読み出す動作を行う場合について説明する。

【0056】ホストコンピュータから1394シリアルバスBSを転送されてきたSBP-2規格に基づいたORB等のパケットデータがフィジカル・レイヤ回路20、リンク・レイヤ回路100のリンクコア101を介して分別回路105に入力される。

【0057】分別回路105では、受信パケットを受けてホストコンピュータからターゲットであるトランザクション・レイヤ回路120に対しての応答パケット(Response Packet)であるかその他のパケットであるかの分別が行われる。そしてこの場合、その他のパケットであることから受信データが受信FIFO104に格納される。受信FIFO104に格納されたORB等の受信データは、CPUインタフェース回路102を介してローカルプロセッサ40に入力される。ローカルプロセッサ40では、CPUインタフェース回路102を介してORBの内容に従ってCR107のトランザクション・レイヤ回路レジスタの初期化が行われる。また、この初期化と並行して、ローカルプロセッサ40からは、トランザクション・レイヤ回路120における送信動作および受信動作に応じて記憶容量の異なるFIFOを切り換える制御のためのdビットが「0」にセットされる。

【0058】これにより、トランザクション・レイヤ回路120が起動され、また、セクタ127~130では0端子への入力を選択されるようになる。すなわち、

図2(b)に示すように、要求パケット生成回路122の出力パケットは記憶容量の小さい第2FIFO125に格納され、第2FIFO125の格納データがトランザクションコントローラ126に入力され、トランザクションコントローラ126に入力されたデータを含む応答パケット(またはデータのみ)が記憶容量の大きい第1FIFO124に格納され、第1FIFO124の格納データが応答パケットデコード回路123に入力されるようになる。

【0059】起動されたトランザクション・レイヤ回路120では、要求パケット生成回路122において、SBP-2規格に従って、指定されたアドレス、データ長分の1394ブロック読み出し要求コマンド(Block read Request Command)がパケット化され、セクタ128を通して第2FIFO125に格納される。

【0060】第2FIFO125に格納された読み出し要求コマンドパケットは、トランザクションコントローラ126によりリンク・レイヤ回路100のリンクコア101に送られる。そして、リンクコア101によって、フィジカル・レイヤ回路20を介して1394シリアルバスBSに対しアービトレーションが掛けられる。これにより、バスの獲得ができたならば、読み出し要求パケット(Read Request Packet)がフィジカル・レイヤ回路20、1394シリアルバスBSを介してホストコンピュータに送信される。

【0061】送信後、ホストコンピュータから読み出し要求パケットに対するAckコードと、指定されたデータ長分のデータを含んだ読み出し応答パケット(Read Response Packet)が送られてきて、フィジカル・レイヤ回路20、リンク・レイヤ回路100のリンクコア101を介して分別回路105に入力される。

【0062】分別回路105では、受信パケットのトランザクションコードcodeおよびトランザクションラベル1のチェックが行われ、ホストコンピュータからターゲットであるトランザクション・レイヤ回路120に対しての応答パケット(Response Packet)であると判別されると、その応答パケットがトランザクション・レイヤ回路120のトランザクションコントローラ126に入力される。

【0063】トランザクションコントローラ126では、分別回路105からの応答パケットデータがセクタ127を通して第1FIFO124に格納される。第1FIFO124に格納されたデータは、セクタ129を通して応答パケットデコード回路123によって読み出されて1394ヘッダが取り除かれ、所定のタイミングでトランスポートデータインタフェース回路121を介してHDDコントローラ30に出力される。以上の動作が繰り返されて、コンピュータデータのストレージデバイス(ハードディスク)への書き込み(受信)動作が行われる。

【0064】以上の受信に関するトランザクション・レイヤ回路129の動作の概略を図4に示す。

【0065】以上説明したように、本第1の実施形態によれば、ストレージデバイスが接続され、ストレージデバイスのデータを読み出し、自己指定のトランザクションラベルを付加して送信アシンクロナスケットとしてシリアルインタフェースバスBSに送出し、他ノードのデータを当該ストレージデバイスへ転送する場合に、自己指定のラベルを付加した要求ケットを生成してシリアルインタフェースバスBSに送出し、他ノードからのこの要求ケットに対する応答ケットを受信し、応答ケットからデータ部を取り出してストレージデバイスへ転送するデータ処理回路としてのトランザクション・レイヤ回路120を設けたので、ストレージデバイスに格納される、あるいはストレージデバイスから読み出される大容量のデータをSBP-2規格に合わせてIEEE1394ケットにして送受信することができ、IEEE1394シリアルバスインタフェースのアシンクロナスケットを用いて大容量のデータ転送を実現することができる。そして、SBP-2規格に基づいたORBのフェッチ、データ転送、イニシエータへのステータス送信といったシーケンスを簡略化でき、ディスクドライバ、テープストリマ等のコンピュータ周辺機器のデータをIEEE1394シリアルバスに接続する際に最適な設計が可能となる。

【0066】さらに、トランザクション・レイヤ回路120に記憶容量の大きい第1FIFO124および記憶容量の小さい第2FIFO125を設けるとともに、送信(書き込み)動作および受信(読み出し)動作時に、データを含む容量の大きいケットを第1FIFO124に格納させ、データを含まない容量の小さいケットを第2FIFO125に格納させ、かつ読み出すセクタ127~130を設けたので、大容量データの送受信時にFIFOを効率良く使用することができる。これによって不要となったFIFO容量によるゲート数の増加を抑えることができる。

【0067】さらに、トランザクション・レイヤ回路120に第1FIFO124および第2FIFO125を設けるとともに、リンク・レイヤ回路100に送信用FIFO103および受信用FIFO104を設けたので、第1FIFO124および第2FIFO125によるデータのやりとりと並列して、データ以外の通常の1394ケットの送受信を行うことができる。

【0068】また、リンクコア101を介したアシンクロナス通信用ケットの第1クワドレッドにあるトランザクションコードcode (Transaction code)およびトランザクションラベルtl (Transaction label) をチェックし、イニシエータであるホストコンピュータから

ターゲットであるトランザクション・レイヤ回路に対しての応答ケット(Response Packet)であるかその他のケットであるかの分別を行い、応答ケットのみをトランザクション・レイヤ回路120に入力させ、その他のケットを受信用FIFO104に格納する分別回路105を設けたので、たとえばトランザクション・レイヤ回路120側で致命的なエラーがおきてデータの読み出し/書き込み動作が止まってしまったとしても、データの次の入力されてくるコマンドの読み出しができることなく、データの読み出し/書き込みの状況にかかわらずコマンドの受信を円滑に行うことができる利点がある。

【0069】

【発明の効果】以上説明したように、本発明によれば、大容量のデータを所定の規格に合わせてたケットにして送受信することができ、また、円滑な送受信処理を使用効率良く行うことができるシリアルインタフェース回路を実現することができる。

【図面の簡単な説明】

【図1】本発明に係るIEEE1394シリアルインタフェース回路の一実施形態を示すブロック構成図である。

【図2】送信動作時および受信動作時におけるトランザクション・レイヤ回路におけるセクタによるFIFOと送信ケット生成回路、応答ケットデコード回路、およびトランザクションコントローラとの接続形態を示す図であって、(a)が送信動作時の接続形態を示す図、(b)が受信動作時の接続形態を示す図である。

【図3】本発明に係るトランザクション・レイヤ回路における送信動作の概略を示す図である。

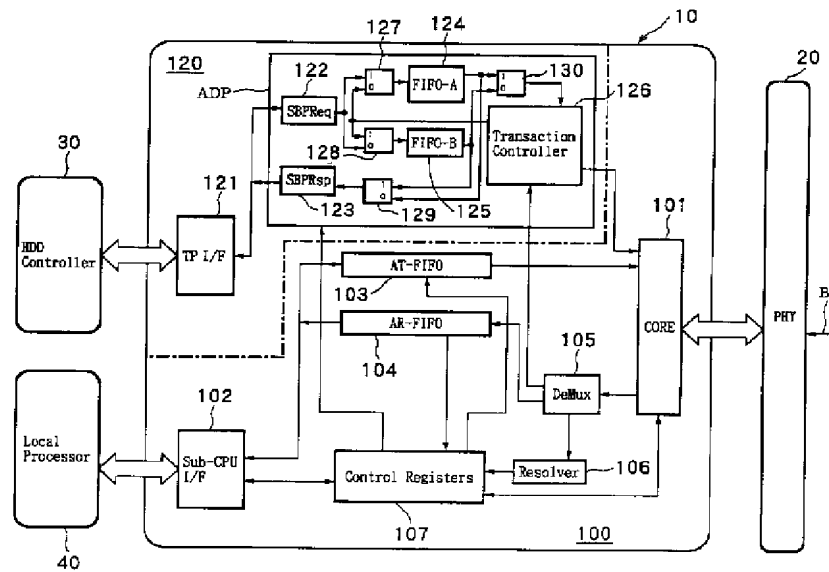
【図4】本発明に係るトランザクション・レイヤ回路における受信動作の概略を示す図である。

【図5】IEEE1394規格のアシンクロナス転送を説明するための図である。

【符号の説明】

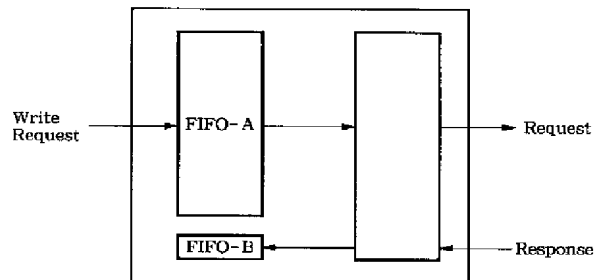
10…リンク/トランザクションレイヤ集積回路、20…フィジカル・レイヤ回路、30…HDDコントローラ、40…ローカルプロセッサ、100、100a…リンク・レイヤ回路、101…リンクコア、102…CPUインタフェース回路、103…アシンクロナス送信用FIFO、104…アシンクロナス受信用FIFO、105、105a…分別回路、106…リゾルバ、107…コントロールレジスタ、120…トランザクション・レイヤ回路、121…トランスポートデータインタフェース回路、121…要求ケット生成回路、123…応答ケットデコード回路、124…第1FIFO、125…第2FIFO、126…トランザクションコントローラ、127~130…セクタ。

【図1】

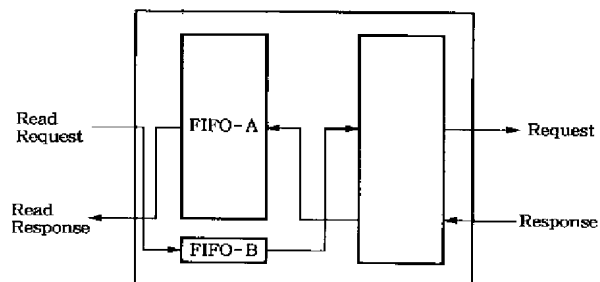


【図2】

(a) Write リクエストでのデータ送信



(b) Read レスポンスでのデータ受信



【 図 5 】

